

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216330
 (43)Date of publication of application : 04.08.2000

(51)Int.Cl. H01L 25/065
 H01L 25/07
 H01L 25/18
 H01L 23/52

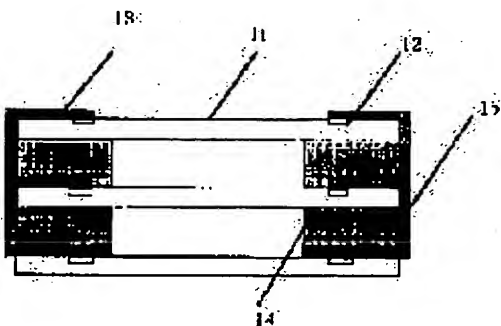
(21)Application number : 11-017134 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 26.01.1999 (72)Inventor : MATSUSHIMA FUMIAKI
 KOEDA SHUJI

(54) STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily manufacture chip-on-chip structure where multiple IC are stacked by forming an electric continuity wiring from bonding pads to the end faces of chips, bonding and stacking the chips by means of adhesion resin layers and connecting all the chips stacked by an electric continuity wiring.

SOLUTION: An electric continuity wiring 13 is formed by discharging a molten solder material from an ink jet head from respective bonding pads 12 to a cut part where wiring connection with the other IC chip 11 is assumed. Electron beam curing-type adhesion 14 is applied on the surface of a silicon wafer. The silicon wafer is cut and divided into each IC chip 11. IC having the electric functions of different types are similarly worked and overlapped. Electron beams are radiated and the IC chips 11 are bonded. Then, a continuity wiring 15 is formed by discharging a molten solder material from the ink jet head to the side part of an IC chip stack body where the IC chips 11 are overlapped.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the

examiner's decision of rejection or application

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-216330
(P2000-216330A)

(43) 公開日 平成12年8月4日(2000.8.)

(51) Int.Cl. ⁷	識別記号	F I	サーチコード(参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07		23/52	C
25/18			
23/52			

審査請求 未請求 請求項の数 8 O L (全 4 1)

(21) 出願番号 特願平11-17134

(22) 出願日 平成11年1月26日(1999.1.26)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松島 文明

長野県諏訪市大和3丁目3番5号 セイ

ーエプソン株式会社内

(72) 発明者 小枝 周史

長野県諏訪市大和3丁目3番5号 セイ

ーエプソン株式会社内

(74) 代理人 100093388

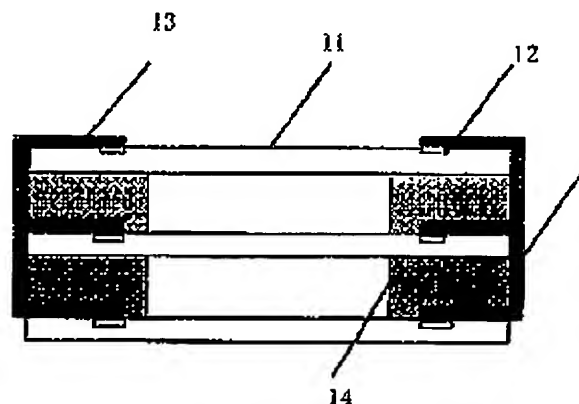
弁理士 鈴木 馨三郎 (外2名)

(54) 【発明の名称】 積層型半導体装置およびその製造方法

(57) 【要約】

【課題】 ICを三次元に積層してなるチップオンチップ構造を容易に製造する。

【解決手段】 ボンディングパッドからICチップ端面までインクジェット方式により電気的導通配線形成した後、ICチップを接着性樹脂の介在により積層。接着し再度インクジェット方式により電気的導通配線を形成して各ICチップを電気的に接続する。



(2)

特開2000-216330

1

2

【特許請求の範囲】

【請求項1】 ICチップの各ボンディングパッドからチップ端面までに電気的導通配線が形成され、さらに該チップの全面もしくは一部に接着性のある樹脂層が形成され、同様に形成された電気的に別機能を有する複数のチップが該樹脂層により接着、積層され、さらに各チップ端面を横断してなる電気的導通配線により積層された全チップが接続されたことを特徴とする積層型半導体装置。

【請求項2】 複数のICチップが形成されたシリコンウエハの各チップ内のボンディングパッドから少なくとも各チップ切断位置までに電気的導通配線を形成する第一の工程、第一の工程を経たシリコンウエハの電気的導通配線形成面の全面もしくは一部に接着性のある樹脂層を形成する第二の工程、第二の工程を経たウエハを切断により個々のICチップに分割する第三の工程、同様に形成された電気的に別機能を有するICチップが積層され、接着性のある樹脂の硬化によって互いに接着にされる第四の工程、積層された各ICチップが第一の工程で作製された電気的導通配線の末端同士で各ICチップ切断面を横断する方向に電気的導通配線により接続される第五の工程からなることを特徴とする積層型半導体装置の製造方法。

【請求項3】 電気的導通配線がインクジェット方式で形成されることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【請求項4】 電気的導通配線材料が金属もしくは導電性粒子を含有する導電性樹脂から選ばれてなることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【請求項5】 第四の工程のICチップの接着樹脂の硬化が一枚のチップを歪める毎に行われるかもしくは全ICチップを歪めた後に一括して行われることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【請求項6】 接着樹脂の硬化が熱硬化もしくは電子線硬化でおこなわれることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【請求項7】 接着性のある樹脂層を形成する第二の工程が第三の工程のICチップへの切断の後に行われることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【請求項8】 ICチップへ切断する第三の工程がシリコンウエハ状態で積層、接着樹脂の硬化を行った後に実施されることを特徴とする請求項2記載の積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体ICチップを積層化して形成される積層型ICチップおよびその製造方法に関する。

【0002】

【従来の技術】 従来より、実装密度の高い構造を実現す

るためにICチップを積層するチップオンチップ構造が提案されており、その際ICチップ間の電気的接続にも様々な提案がされている。例えば特開平8-264712では図5に示されるようにICチップ51に形成された貫通したスルーホール52により積層されたICチップが金属53により電気的に接続される形態が提案されており、また特開平5-63137も同様である。さらには特許番号第2605968号では同一層性のあるボンディングパッドの位置関係も考慮された形態がとられている。

【0003】

【発明が解決しようとする課題】 しかしながら従来の方法ではいずれも集積回路の形成されたICチップもしくはシリコンウエハに貫通したスルーホールを形成する点において容易ではない。すなわち、形成された集積回路に何らかのダメージを与えることなくスルーホールを作製することは困難が伴う。一方集積回路形成前のシリコンウエハにあらかじめスルーホールを形成するなら集積回路の形成に困難をきたすことが容易に予測される。

【0004】

【課題を解決するための手段】 上記の従来技術の問題点を解決するためのもので請求項1記載の積層型半導体装置はICチップの各ボンディングパッドからチップ端面までに電気的導通配線が形成され、さらに該チップの全面もしくは一部に接着性のある樹脂層が形成され、同様に形成された電気的に別機能を有する複数のチップが該樹脂層により接着、積層され、さらに各チップ端面を横断してなる電気的導通配線により積層された全チップが接続されたことを特徴とする。

【0005】 請求項2記載の積層型半導体装置の製造方法

は複数のICチップが形成されたシリコンウエハの各チップ内のボンディングパッドから少なくとも各チップ切断位置までに電気的導通配線を形成する第一の工程、第一の工程を経たシリコンウエハの電気的導通配線形成面の全面もしくは一部に接着性のある樹脂層を形成する第二の工程、第二の工程を経たウエハを切断により個々のICチップに分割する第三の工程、同様に形成された電気的に別機能を有するICチップが積層され、接着性のある樹脂の硬化によって互いに接着にされる第四の工程、積層された各ICチップが第一の工程で作製された電気的導通配線の端面同士で各ICチップ端面を横断する方向に電気的導通配線により接続される第五の工程からなることを特徴とする。

【0006】 請求項3記載の積層型半導体装置の製造方法は請求項2において電気的導通配線がインクジェット方式で形成されることを特徴とする。

【0007】 請求項4記載の積層型半導体装置の製造方法は請求項2において電気的導通配線材料が金属もしくは導電性粒子を含有する導電性樹脂から選ばれてなることを特徴とする。

(3)

特開2000-216330

3

4

【0008】請求項5記載の積層型半導体装置の製造方法は請求項2において第四の工程のICチップの接着樹脂の硬化が一枚のチップを重ねる毎に行われるかもしくは全ICチップを重ねた後に一括して行われることを特徴とする。

【0009】請求項6記載の積層型半導体装置の製造方法は請求項2において接着樹脂の硬化が熱硬化もしくは電子線硬化でおこなわれることを特徴とする。

【0010】請求項7記載の積層型半導体装置の製造方法は請求項2において接着性のある樹脂層を形成する第二の工程が第三の工程のICチップへの切断の後に行われることを特徴とする。

【0011】請求項8記載の積層型半導体装置の製造方法は請求項2においてICチップへ切断する第三の工程がシリコンウエハー状態で積層、接着樹脂の硬化を行った後に実施されることを特徴とする。

【0012】(作用) インクジェット方式による電気的導通配線の形成について説明を加える。従来はメッキあるいはスパッタにより金属膜を形成し、さらにフォトリソグラフィ、エッチング等を用いて配線に加工していた。インクジェット方式とは元来パーソナルコンピュータの周辺機器であるプリンターのインク吐出技術であり10ピコリットル程度以上の微少液滴を微少ノズル先端から吐出して描画する技術である。近年低融点の溶融した金属、金属ペースト等もヘッドノズルから吐出できることが確認できた。したがってこの技術で直接的に電気的配線が描画形成できる。配線幅も最小20μm程度の微細配線が可能である。したがって、本技術は大掛かりなプロセスを用いない極めて簡単な配線形成技術として将来性が高い。

【0013】

【発明の実施の形態】以下本発明の実施の形態を実施例により説明する。

【0014】(実施例1) 図2はICチップを形成した6インチ径のシリコンウエハーを示す。図3はその表面の一部を示すもので31は配線接続用のボンディングパッドである。ボンディングパッド以外の部分32はプラズマCVDで形成した絶縁膜で覆われている。本実施例では各ICチップの周辺部のみにボンディングパッドを形成したものを用いた。ボンディングパッドの個数は数十から数百になるが説明を容易にするために個数を少なくして描いた。また実線部33は後工程で切断される位置を示す。各ボンディングパッドは通常アルミニウムで形成されており必要に応じてバリアメタル層でカバーされる。本実施例ではチタンタングステン合金(TiW)とその上を銅でカバーしたものを用いた。

【0015】第一の工程として各ボンディングパッドから後工程で他のICチップとの配線接続が想定される切断部までの間にインクジェットヘッドから溶融したはん

の電気的導通配線34を形成した。インクジェットで吐出できる金属は現状では50℃から数100℃で溶融する金属が適用できるレベルになってきた。これによって形成される配線の密着性を高めるためにICが形成されたシリコンウエハーにプラズマエッチングなどの乾式表面処理を行ってもよい。本実施例では酸素プラズマによってシリコンウエハーの上の絶縁膜表面をライトエッチングした。

【0016】第二の工程としてこのシリコンウエハーの表面に電子線硬化型の接着性樹脂を塗布した。該接着性樹脂はICチップ周辺部に図4の41のように塗布された。少なくとも上記電気的導通配線の上には樹脂層が形成される。厚みは特に限定はないが本実施例では100μmとした。周辺部全域に接着性樹脂層を形成しないのはICから発生する熱が外部に逃げ易くするためである。

【0017】第三の工程として全工程で作製したシリコンウエハーを一つ一つのICチップに切断して分割した。

【0018】第四の工程として異種の電気的機能を持つICを同様に加工して計3枚を重ね合わせた。最上部に置かれたICチップは接着性樹脂を被覆せず各ボンディングパッドには回路基板に電気的に接続するためのはんだによるバンプが形成された。続いて電子線を照射して三枚のICチップを接着した。

【0019】第五の工程として図1に示すようにICチップ1を三枚重ね合わせたICチップ積層体の側面部においてインクジェットヘッドから溶融したはんだ材料を吐出することにより厚み約10μm、幅30μmの電気的導通配線15を形成した。12はボンディングパッド、13は第一の工程で形成した電気的導通配線、14は接着性樹脂層である。この配線形成前に少なくとも配線形成部の表面を洗浄と配線密着性改善のためプラズマエッチングなどの乾式表面処理を行ってもよい。本実施例では酸素プラズマによってライトエッチングした。この配線は前述のボンディングパッドから引き出した電気的導通配線の端面と接合されることにより三次元的な電気的接続を可能にした。以上のようにして実装密度の高いチップオンチップ構造が実現できた。

【0020】(実施例2) 実施例1と同様であるが金属による電気的導通配線の代わりに銀粒子を含んだ樹脂、所謂銀ペーストを用いた。一般に金属よりは抵抗が高くなるため厚み約30μm、幅30μmの配線として形成した。また第二の工程で用いる接着樹脂は熱硬化性アクリルを用いた。銀ペーストも熱硬化型であったため一括硬化できた。以上の結果実施例1と同様に実装密度の高いチップオンチップ構造が実現できた。ペースト材は配線抵抗に影響を与えないなら特に制限されない。含有する樹脂、有機溶剤成分も他の構造に影響を与えなければ制限されない。以上のように本発明の大きな優位性は配線

(4)

特開2000-216330

5

5

形成工程の容易性にある。

【0021】（実施例3）実施例1と基本的には同様であるが第三の工程の個々のICチップへの切断を第一の工程の直後に行い、洗浄の後本来第二の工程である接着樹脂の塗布を各ICチップへ分割してから実施した。接着樹脂塗布後に切断すると接着樹脂上が切断時に発生する粉塵で汚染され洗浄によっても除去しにくいことがあるため実施した。以上の結果実施例1と同様に実装密度の高いチップオンチップ構造が実現できた。

【0022】（実施例4）実施例1と基本的には同様であるが第三の工程の個々のICチップへの切断を第二の工程と第四の工程の後に実施した。すなわち、第二の工程でシリコンウエハー上に接着樹脂を塗布した後第四の積層、硬化工程をウエハー状態のまま行った。積層、硬化は一枚重ねるごとに熱硬化工程により実施した。積層状態で一括して切断した。この一括して切断できる点に優位性がある。以上の結果実施例1と同様に実装密度の高いチップオンチップ構造が実現できた。

【0023】（実施例5）実施例4と同様であるがシリコンウエハーの積層を5枚で行い、硬化は電子線により一回で行った。さらに積層状態で一括して切断した。以上の結果実施例1と同様に実装密度の高いチップオンチップ構造が実現できた。

【0024】本実施例では電気的導通配線の形成法としてインクジェット技術のみを適用しているが、例えば真空中で微細ノズルから金属の微小粒子を吐出して金属膜を形成する方法も検討されており本発明に対しても適用*

*可能性が高い。

【0025】

【発明の効果】以上のように本発明により多数のICが積層されたチップオンチップ構造を容易に製造することが可能となった。

【図面の簡単な説明】

【図1】本発明の一つの実施例を模式的に示す断面図。

【図2】本発明で用いたICチップが形成されたシリコンウエハーを模式的に示す図。

【図3】実施例1の第一の工程を説明するための図。

【図4】実施例1の第二の工程を説明するための図。

【図5】従来の一例を示す図。

【符号の説明】

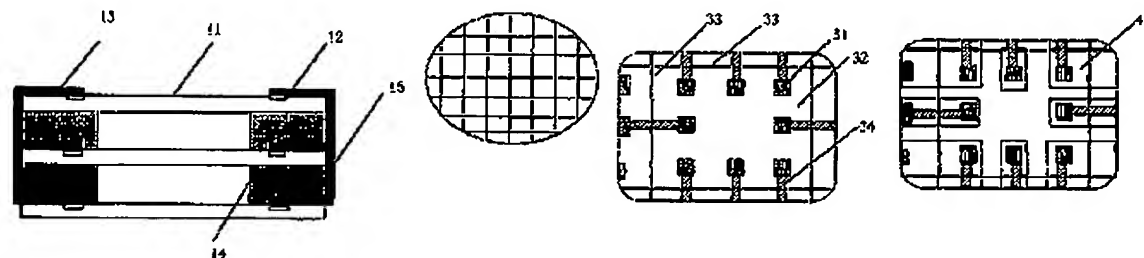
- 11. ICチップ
- 12. ボンディングパッド
- 13. 電気的導通配線
- 14. 接着性樹脂
- 15. 電気的導通配線
- 31. ボンディングパッド
- 32. 絶縁膜で被覆された部分
- 33. 切断位置
- 34. 電気的導通配線
- 41. 接着性樹脂塗布部
- 51. ICチップ
- 52. スルーホール
- 53. 金属配線

【図1】

【図2】

【図3】

【図4】



【図5】

